**Министерство образования и науки Кыргызской Республики**

**Министерство науки и высшего образования Российской Федерации**

Государственное образовательное учреждение

высшего профессионального образования

Кыргызско-Российский Славянский университет

Имени первого Президента Российской Федерации Б. Н. Ельцина

Естественно-технический факультет

Кафедра информационных и вычислительных технологий

**ЛАБОРАТОРНАЯ РАБОТА №1**По дисциплине: «Схемотехника»

Выполнил: студент группы ЕПИ-4-23 Лосев Данил

Руководитель: Полунин Валерий Викторович

Оценка: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Дата: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

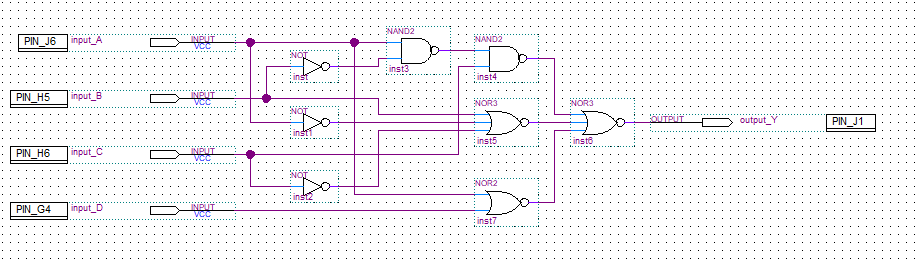
**Бишкек-2024**

# **Цель работы**

Целью работы является изучение процесса проектирования и моделирования цифровых схем с использованием системы автоматизированного проектирования Altera Quartus, а также освоение базовых навыков создания и конфигурирования проектов для программируемых логических интегральных схем (ПЛИС) на примере платы DE0 от компании Altera. В рамках лабораторной работы необходимо научиться создавать проекты с использованием логических элементов, таких как "И", "ИЛИ" и "НЕ", привязывать входы и выходы схемы к конкретным выводам микросхемы, выполнять компиляцию схемы и анализировать её на наличие ошибок. Также важным аспектом работы является закрепление знаний через практическое использование инструментов САПР, моделирование цифровых схем и программирование ПЛИС.

# **Булево выражение и таблица истинности для задания 1**

Схема:



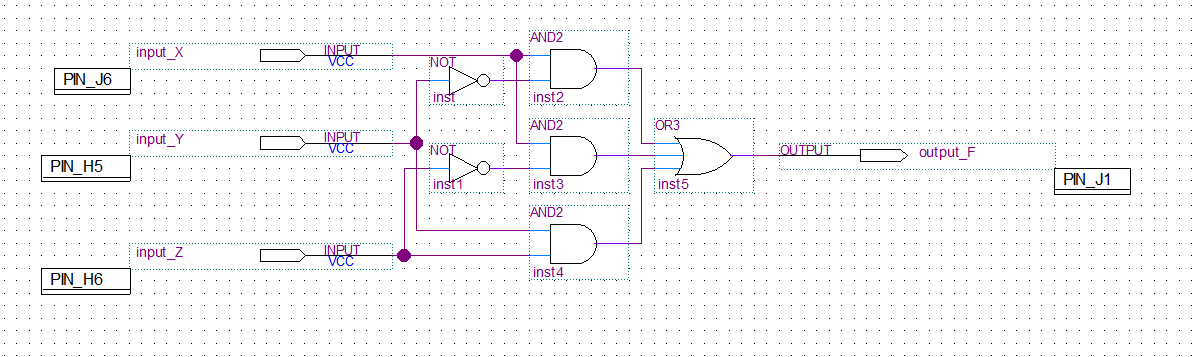
Булево выражение: Y = ((D+A)’+(C\*(B’\*A)’)’+(C’+(A’+B))’)’

Таблица истинности:

| A | B | C | D | A’ | B’ | C’ | D+A | (D+A)’ | B’\*A | (B’\*A)’ | C\*(B’\*A)’ | (C\*(B’\*A)’)’ | A’+B | C’+(A’+B) | (C’+(A’+B))’ | (D+A)’+(C\*(B’\*A)’)’ | (D+A)’+(C\*(B’\*A)’)’+(C’+(A’+B))’ | F(A,B,C,D) |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |

# **Схема и таблица истинности для задания 2**

Схема:



Булево выражение: F = X\*Y’ + Y\*Z + Z’\*X

Таблица истинности:

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X | Y | Z | Y’ | Z’ | X\*Y’ | Y\*Z | Z’\*X | X\*Y’ + Y\*Z | F = X\*Y’ + Y\*Z + Z’\*X |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |

# **Выводы по работе**

В ходе выполнения работы была достигнута основная цель — изучение процесса проектирования и моделирования цифровых схем с использованием системы автоматизированного проектирования Altera Quartus. Были освоены базовые навыки создания и конфигурирования проектов для программируемых логических интегральных схем (ПЛИС) на примере платы DE0 от компании Altera. В рамках лабораторной работы приобретены практические навыки создания проектов с использованием логических элементов ("И", "ИЛИ", "НЕ"), привязки входов и выходов схемы к конкретным выводам микросхемы, компиляции схемы и анализа её на наличие ошибок. Важным результатом работы стало укрепление знаний через практическое применение инструментов САПР, моделирование цифровых схем и программирование ПЛИС.

# **Контрольные вопросы**

1. **Напишите таблицы истинности для основных логических вентилей (И, ИЛИ, НЕ, исключающее ИЛИ)**

Вентиль И (AND):

|  |  |  |
| --- | --- | --- |
| X | Y | X\*Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Вентиль ИЛИ (OR):

|  |  |  |
| --- | --- | --- |
| X | Y | X+Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Вентиль НЕ (NOT):

|  |  |
| --- | --- |
| X | X’ |
| 0 | 1 |
| 1 | 0 |

Вентиль Исключающее ИЛИ (XOR):

|  |  |  |
| --- | --- | --- |
| X | Y | X⊕Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

1. **Что такое проект в Altera Quartus II? Для чего необходима компиляция проекта в Altera Quartus II и как ее выполнить?**

Что такое проект в Altera Quartus II?

Проект в Altera Quartus II — это совокупность файлов и настроек, которые используются для разработки и конфигурирования цифровых схем на FPGA (Field-Programmable Gate Array). В проекте хранятся все исходные файлы, написанные на языках описания аппаратуры, таких как VHDL или Verilog, а также схемы, файлы ограничений для работы с пинами FPGA и дополнительные параметры, которые определяют логику и архитектуру разрабатываемой схемы.

Для чего необходима компиляция проекта в Altera Quartus II?

Компиляция проекта необходима для преобразования исходного описания цифровой схемы в набор инструкций, которые могут быть выполнены программируемыми логическими элементами FPGA. Этот процесс включает анализ и синтез логики, оптимизацию, размещение логических элементов на кристалле и создание битового потока, который впоследствии будет загружен на FPGA. Компиляция позволяет убедиться, что логика схемы оптимизирована и корректно будет выполнена на целевой платформе.

Как выполнить компиляцию проекта в Altera Quartus II?

Для выполнения компиляции проекта в Altera Quartus II нужно открыть проект, убедиться, что все исходные файлы и настройки корректно загружены, а затем выбрать команду "Start Compilation" в меню "Processing". Программа автоматически выполнит все этапы компиляции, включая синтез, размещение и трассировку. По завершении компиляции в окне с результатами отобразится информация о том, успешно ли прошел процесс и какие ресурсы FPGA были использованы.

1. **Для чего проводится операция назначения выводов в Altera Quartus II?**

Операция назначения выводов в Altera Quartus II необходима для того, чтобы сопоставить логические сигналы проекта с физическими выводами (пинами) программируемой логической интегральной схемы (FPGA). Это позволяет обеспечить правильное подключение периферийных устройств, таких как светодиоды, кнопки, интерфейсы и другие внешние компоненты, к конкретным контактам FPGA, что критично для работы системы.